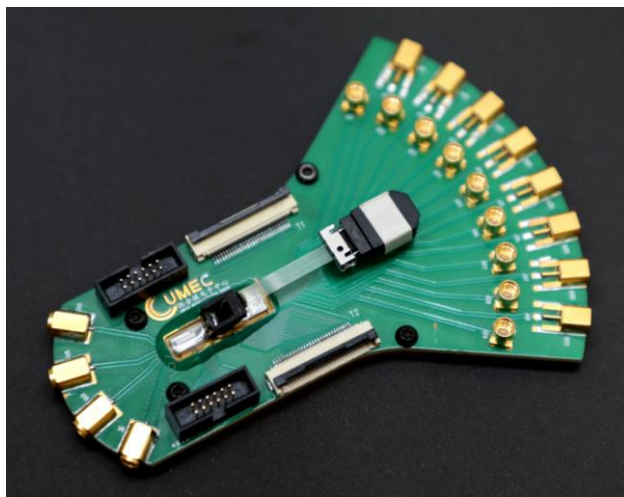
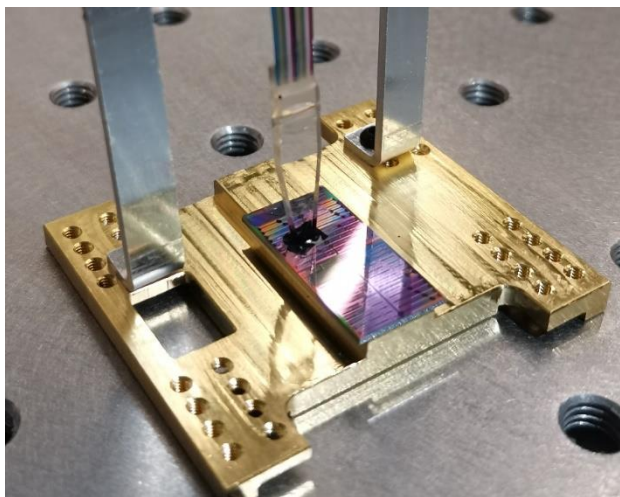


硅基光电子芯片封装设计规则

V5.0



CUMEC

联合微电子中心有限责任公司

2020 年 7 月

目录

1. 封装知识介绍.....	1
1.1 封装光纤的种类.....	1
1.2 FA 结构说明.....	1
1.3 FA 耦合封装说明	3
2. 耦合封装设计规则.....	3
2.1 芯片整体设计规则	3
2.2 光栅设计规则	4
2.3 芯片 Pad 设计规则.....	6
2.4 集成封装结构设计	7
2.5 温控模块	8
3. 封装技术指标.....	8
3.1 光纤/光栅垂直封装	9
3.2 光纤/光栅水平封装	10
3.3 光纤/端面封装	10
3.4 硅基光电子射频封装.....	11
4. 硅基光电子芯片封装验收测试方法	11
4.1 一般要求.....	11
4.2 测试方法.....	12

5. 硅基光电子芯片封装实例	12
6. 版本信息	13

1. 封装知识介绍

首先简要介绍硅基光电子芯片集成封装基本流程, 一般分为电学封装和光学封装, 先电学封装后光学封装。完成流片, 拿到芯片后, 设计制作用于固定该芯片及外接 PCB 板的热沉, 然后通过 wirebonding 技术把芯片上的 Pad 引到 PCB 基板上, 最后集成上 TEC 温控模块, 完成电学封装。根据芯片设计布局选择合适的光学耦合封装形式, 通过光学胶水把硅基光电子芯片和待封装目标固化在一起, 完成光学封装。

1.1 封装光纤的种类

根据客户需求, 可选择单模光纤 (SMF) 或者保偏光纤 (PMF) 进行封装。

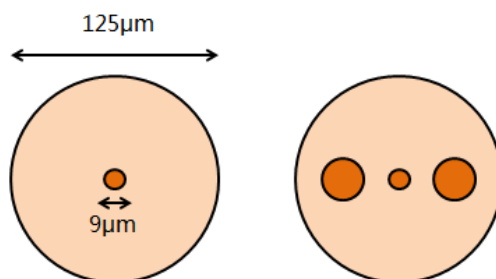
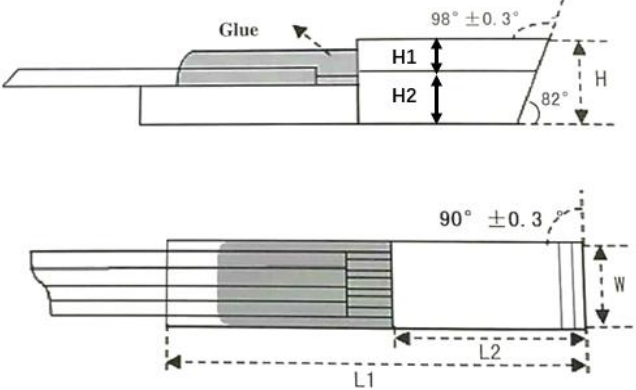
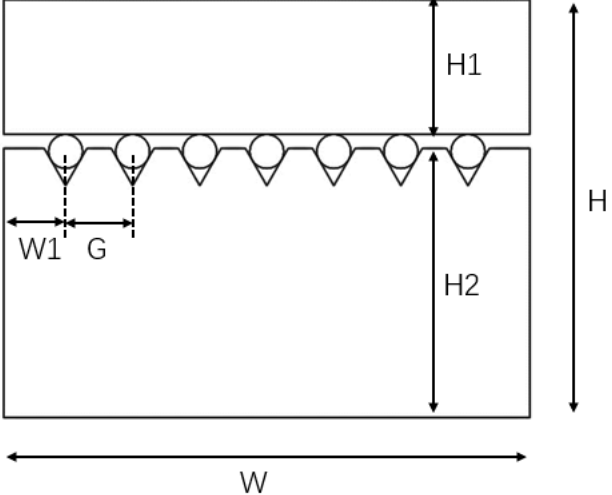
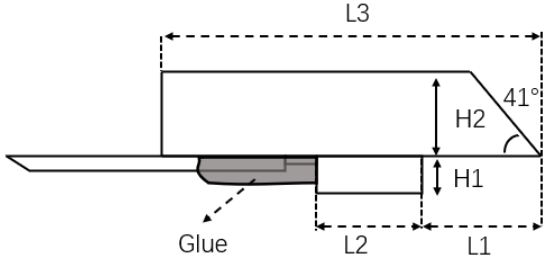


图 1 SMF 光纤和 PMF 光纤示意图

1.2 FA 结构说明

FA 的通道间隔为 $127\mu\text{m}$ 或 $250\mu\text{m}$, 客户可根据版图设计选用。常规 FA 的 V 形槽 (VG) 厚度约 0.8mm , 上盖板厚度约 0.6mm (也可以定制小型化的 V 形槽及盖板)。目前常用于封装的 FA 分为垂直 8°FA 和水平 42°FA , 如下表所示。

表 1 FA 结构参数示意图

	光纤/光栅垂直封装 FA 侧视图及顶视图 $H = H1 + H2$ 说明: H1: 0.3mm-0.6mm, 典型值 0.6mm; H2: 0.5mm-0.8mm, 典型值 0.8mm; L1: $\leq 8.0\text{mm}$; L2: $\leq 4.0\text{mm}$; W: 见下图; 角度: 典型值 8°-10°
	光纤/光栅垂直封装 FA 前视图 $H = H1 + H2$ $W = G * (\text{通道数} - 1) + W1 * 2$ 说明: H1: 典型值 0.6mm; H2: 典型值 0.8mm; G: 典型值 $127\mu\text{m}$ & $250\mu\text{m}$; W1: $\geq 0.45\text{mm}$, 典型值 0.5mm; 通道数: 自定义
	光纤/光栅水平封装 FA 侧视图 说明: H1: 典型值 0.3mm; H2: $\leq 1.0\text{mm}$; L1: 1.5mm-2.0mm; L2: $\leq 2.0\text{mm}$; L3: $\leq 8.0\text{mm}$; 角度: 典型值 41°

1.3 FA 耦合封装说明

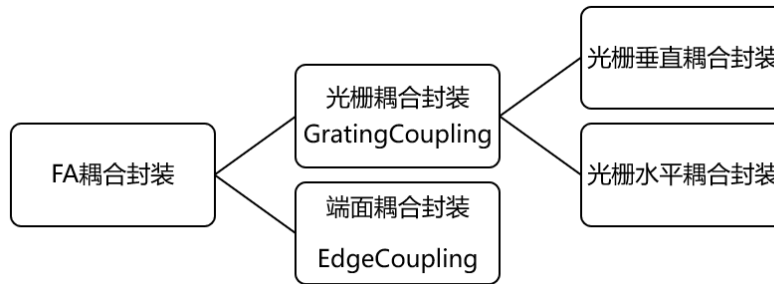


图 2 FA 耦合封装分类

FA 耦合封装包括，光栅耦合封装（GratingCoupling）和端面耦合封装（EdgeCoupling）。光栅耦合封装又分为光栅垂直耦合封装和光栅水平耦合封装。

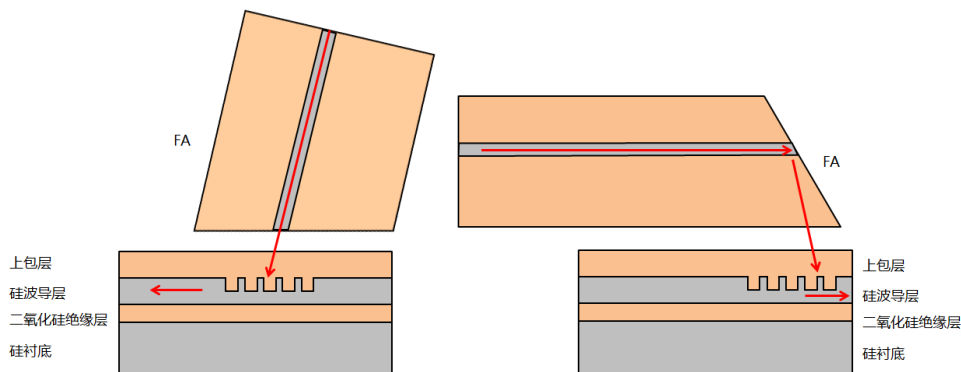


图 3 光纤/光栅垂直及水平耦合示意图

2. 耦合封装设计规则

2.1 芯片整体设计规则

基本规则：先进行电学封装 wirebonding，后进行光学耦合封装，需保证两者不会相互影响。

表 2 芯片整体设计参数

参数	规格	说明
芯片大小	$\geq 2.5\text{mm} \times 2.5\text{mm}$	无
芯片厚度	$\geq 300\mu\text{m}$	无
光栅通道数	自定义	8, 16, 32 标准通道, 其它需定制
芯片引脚数 (单端)	125pads/10mm@60*80 μm (pad 尺寸)	die 单边 pad 密度需小于等于该值

2.2 光栅设计规则

一般进行光栅阵列耦合封装时, 单个芯片一般进行一个垂直阵列 FA 封装或者一个水平阵列 FA 封装。最外侧两个光栅通过波导直连, 用于耦合封装时对准参考 (预留, 不能用于功能性使用), 如下图所示。切记, 预留对准波导会大幅降低封装难度, 大幅减少封装费用。

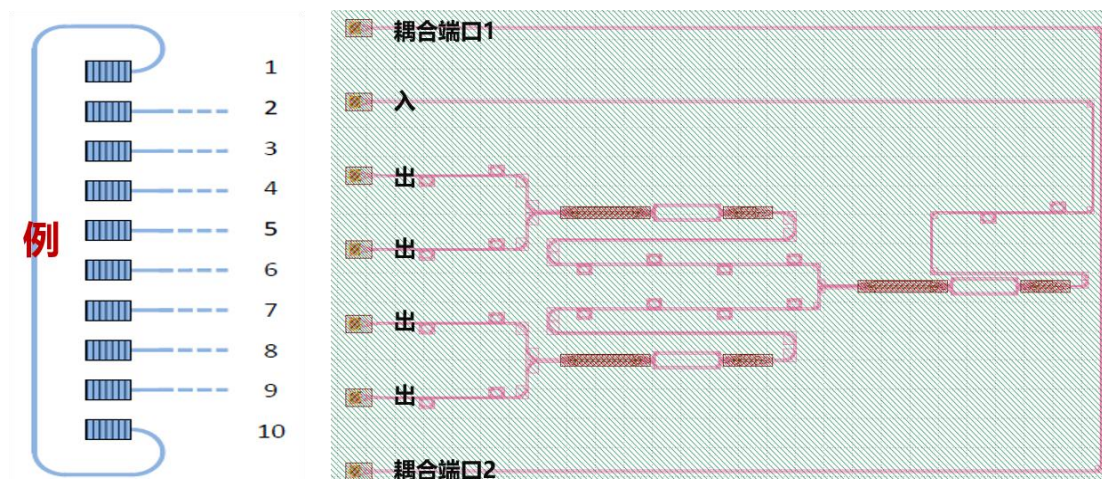


图 4 预留对准波导实例

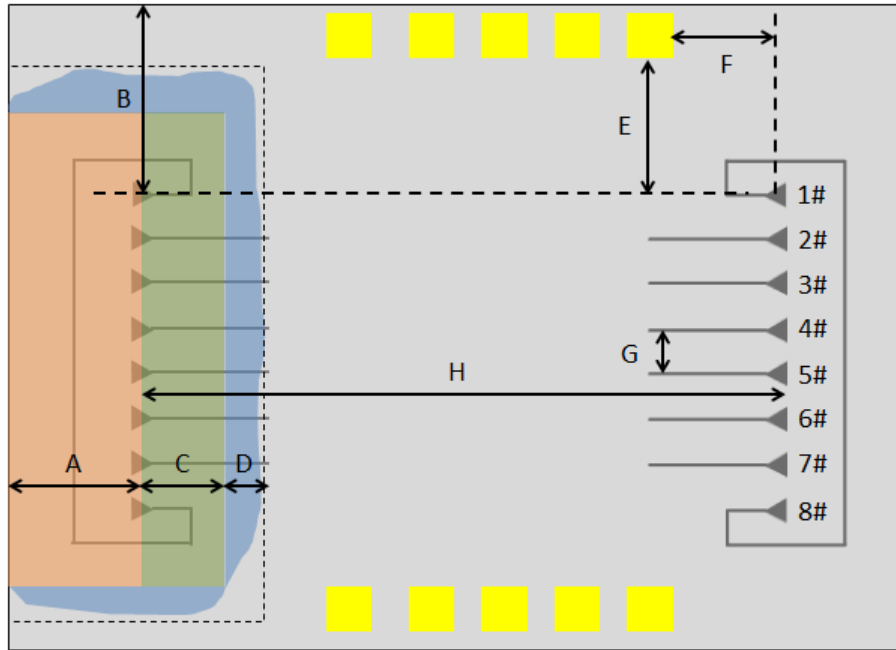


图 5 光栅设计规则参数

表 3 光栅设计规则参数

序号	参数描述	光栅垂直耦合 (mm)	光栅水平耦合 (mm)
A	光栅与芯片端面横距	$A \geq 0.8$	$0.5 \leq A \leq 1.5$
B	光栅与芯片端面纵距	$B \geq 0.5$	$B \geq 0.5$
C	FA 上盖板覆盖区	$C \geq 0.6$	无
D	溢胶区宽度	$D \geq 0.3$	$D \geq 0.3$
E	边缘光栅与 Pad 纵距	$E \geq 0.5$	$E \geq 0.5$
F	边缘光栅与 Pad 横距	if, $E \geq 0.5$, F 无限制 else, $F \geq 0.5$	if, $E \geq 0.5$, F 无限制 else, $F \geq 0.5$
G	光栅通道间距	0.127 或者 0.25	0.127 或者 0.25
H	对向光栅间距	$H \geq 10.0$	$H \geq 1.0$

2.3 芯片 Pad 设计规则

根据 wirebonding 技术要求，制定相应的芯片上 Pad 设计规则，如下。

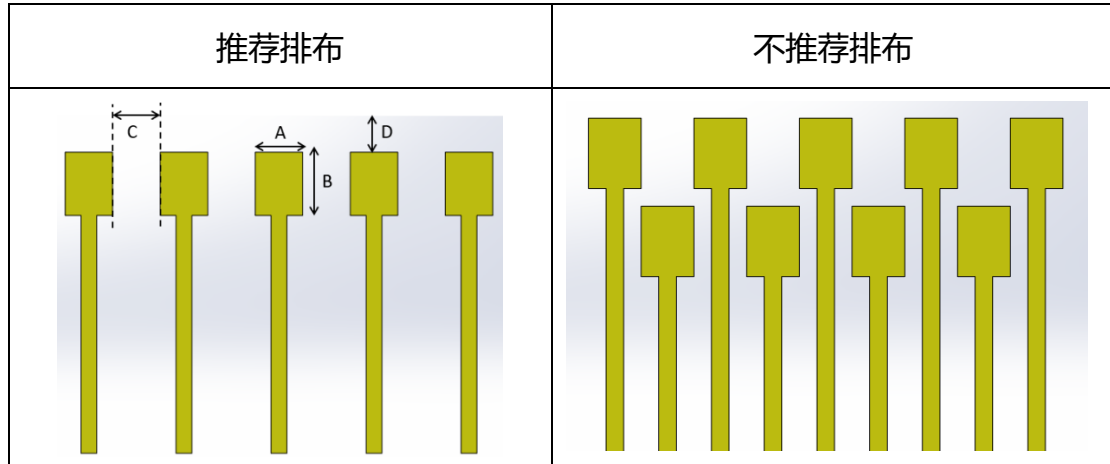


图 6 芯片上 Pad 位置及 layout 要求示意图

表 4 芯片上 Pad 设计规则参数

序号	参数	推荐尺寸 (μm)	极限尺寸 (μm)	说明 (μm)
A	pad 宽	60@DC 60@RF	≥45@DC	可选线径 18 、 20、 25
B	pad 长	80@DC 80@RF	≥45@DC	同上
C	pad 边距	≥40@DC 40@RF	≥10@DC	无
D	pad 与芯片边距	≤100@DC ≤50@RF	≤5000@DC	pad 上边缘距离 划片道边缘

2.4 集成封装结构设计

集成封装时必须综合考虑热沉、PCB 板的设计与装配。第一步芯片需贴装在金属热沉上并保证芯片上表面高于 PCB 板上表面，第二步 PCB 板通过金属件固定在金属热沉上，如是光栅水平封装还需考虑 PCB 设计让位区域以便 FA 后端直接固定在金属热沉上。第三步 wirebonding。第四步光学封装。第五步接插件焊接。在集成过程中一定要注意以下事项。

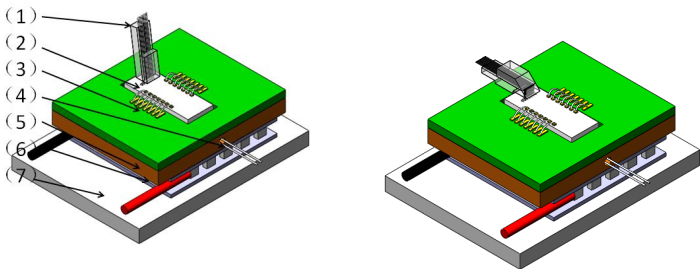
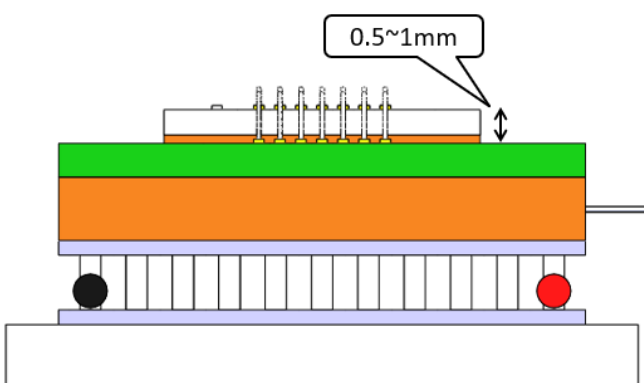
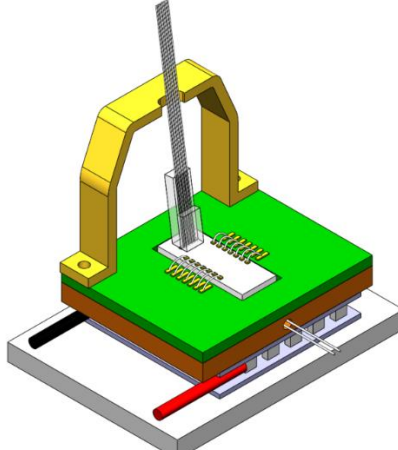
	无论选择何种封装形式，芯片必须直接贴装在金属热沉上，这样能大幅提高封装可靠性。对于不符合该要求的贴装，封装可靠性无法保证。
	进行光纤/光栅封装时，应使芯片上表面略高于 PCB 基板上表面，便于 FA 的耦合对准时的观察，并可大幅降低封装费用。 注：若接插件遮挡视线需先光学封装后焊接接插件。
	进行光纤/光栅封装时，应预留用于光纤尾纤固定的金属支架安装位置。 安装金属支架后能够大幅提高封装稳定性，并降低封装费用。

图 7 集成封装结构设计注意事项

2.5 温控模块

根据芯片热调功率设计合适的导热金属热沉和散热底座，并提供相应制冷功率的 TEC 芯片及 NTC 用于集成温控模块。制冷片冷端贴装在导热金属热沉下方，热端贴装在散热底座上方，NTC 集成在热沉内部。根据客户需求可提供温控设计方案及驱动模块，我司提供的温控模块，精度 $\pm 0.1^{\circ}\text{C}$ 。

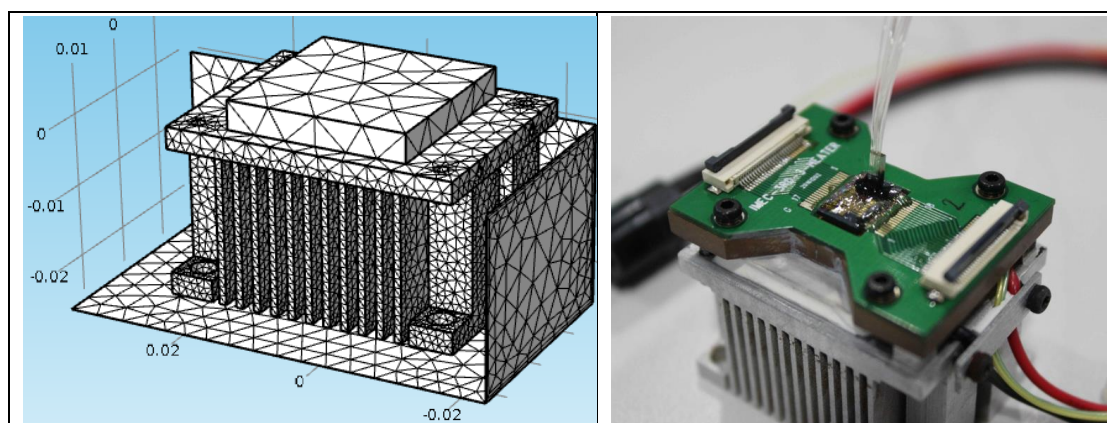


图 8 集成温控模块热仿真及实例图

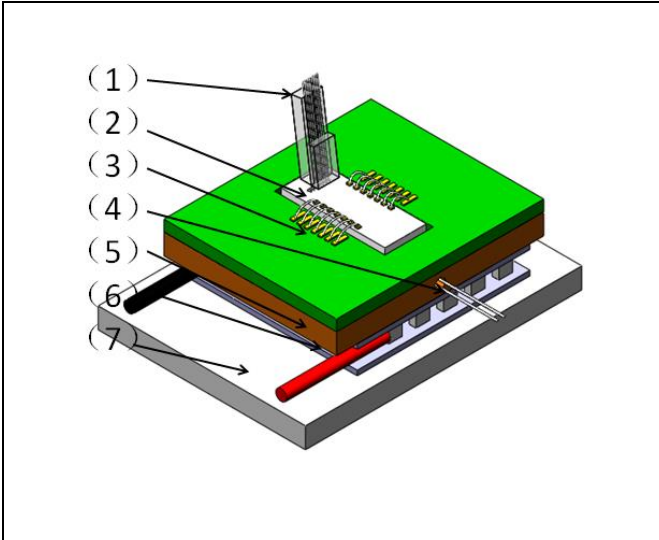
3. 封装技术指标

目前，基于光栅耦合的光纤阵列封装技术较为成熟。具体封装步骤如下：光芯片胶合固化在金属热沉上表面，通过 wirebonding 引出电极至 PCB 板上，TEC 芯片冷端贴装在热沉下表面，TEC 芯片热端贴装在散热金属底座上，NTC 植入热沉内部密封。

我方可提供的封装种类及相应的封装指标如下：

注：对于不符合该封装设计规则的封装需求，我方不保证最终封装指标。

3.1 光纤/光栅垂直封装

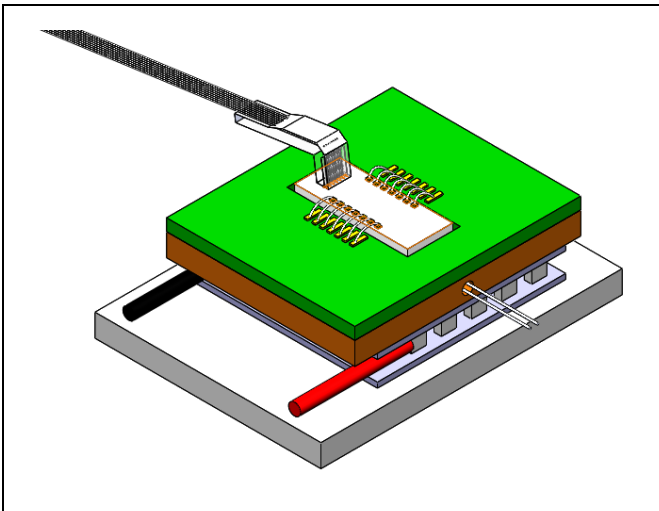


(1) 阵列光纤, (2) 硅基芯片, (3) PCB 板, (4) NTC, (5) 导热金属热沉, (6) TEC 芯片, (7) TEC 热沉底座。

8°倾角阵列光纤垂直封装后加固。

此种封装方式技术相对成熟, 由于需要安装光纤支架封装体积较大特别是 Z 轴高度较大超过 20mm。

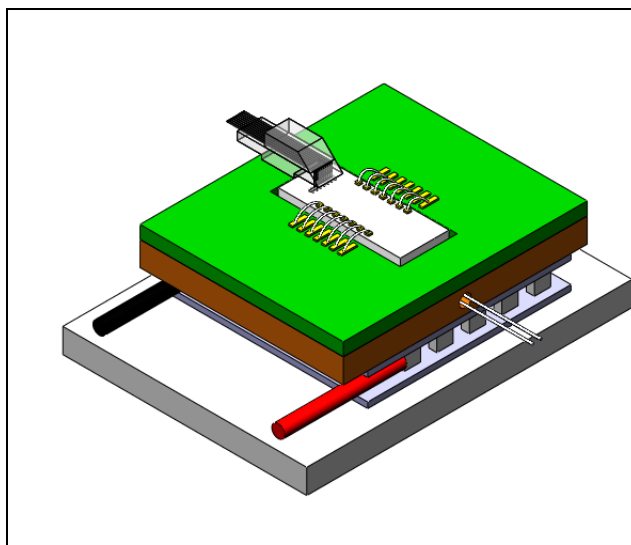
封装引入的额外损耗 $\leq 0.2\text{dB/端}$, 良品率 $\geq 90\%$ 。



此种封装方式, 使用直角转弯 FA 替代常规 FA, 能较好的减小封装高度尺寸, 但会引入额外的封装损耗, 且较常规 FA 尺寸会偏大。

封装引入的额外损耗 $\leq 1.0\text{dB/端}$, 良品率 $\geq 90\%$ 。

3.2 光纤/光栅水平封装

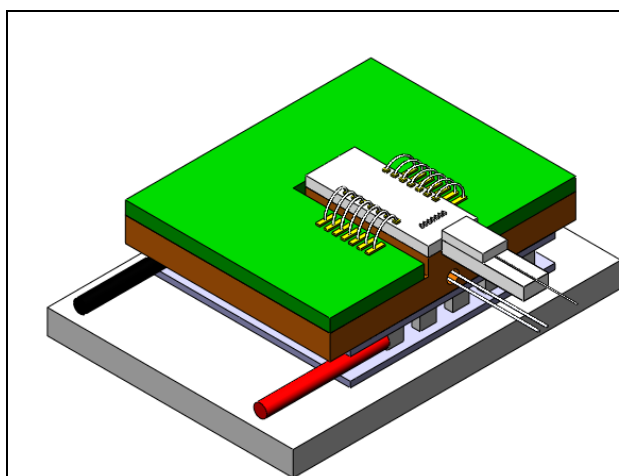


规则同 3.1。

42° 倾角全反射阵列光纤水平耦合在芯片表面。此种封装方式会较大的缩小封装体积，但耦合损耗会有所增大，反射面会有杂散光泄露不利于近场光斑测试，并且光栅水平封装会对光栅的位置有较多的要求。

封装引入的额外损耗 $\leq 1.0\text{dB/端}$ ，良品率 $\geq 90\%$ 。

3.3 光纤/端面封装

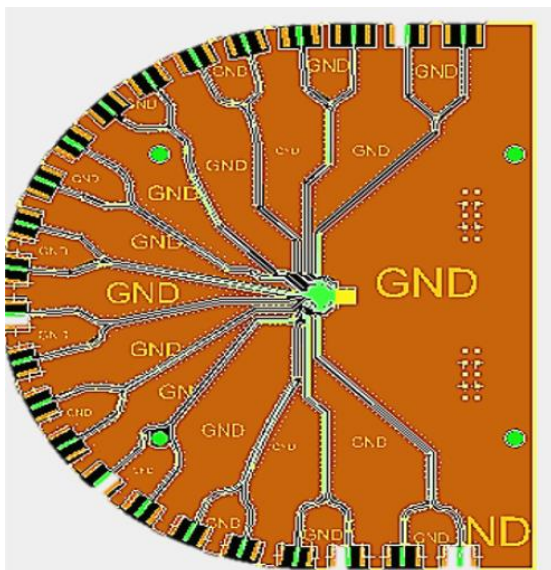


规则同 3.1。

与光栅垂直封装相比，端面封装对该芯片集成位置有特殊的要求，封装难度较大。目前可提供模场直径 $\geq 3.5\mu\text{m}$ 的单通道/端的封装服务。

封装引入的额外损耗 $\leq 0.2\text{dB/端}$ ，良品率 $\geq 90\%$ 。

3.4 硅基光电子射频封装



对符合设计规则的硅基光电子芯片进行 RF 封装。包括高速射频板的设计仿真及制板，可靠性设计，高速 wirebonding 以及光学封装。

RF 封装指标如下，pad 位置直接关系到封装后指标：

die 带宽	RF 封装后带宽
$BW \geq 5\text{GHz}$	$BW \leq 1\text{GHz}$
$BW \geq 20\text{GHz}$	$1\text{GHz} < BW \leq 10\text{GHz}$
$BW \geq 40\text{GHz}$	$10\text{GHz} < BW \leq 20\text{GHz}$

4. 硅基光电子芯片封装验收测试方法

本方法规定了硅基光电子芯片光学封装性能指标验收测试方法。在规定的环境中进行测试，一般测试方法为先进进行裸片测试，后进行封装后的模块测试，根据封装前后的性能指标进而判定封装性能指标。

4.1 一般要求

测试环境, 温度温度: $25^{\circ}\text{C}\pm 5^{\circ}\text{C}$ 、湿度: 45%~75%、气压: 86kPa~106kPa
室内清洁, 无腐蚀性气体。周围无影响仪器正常工作的电磁场、机械振动, 无杂散光干扰。

测试使用的仪器仪表必须经过计量部门检验，且在有效期内。

- a) 光源，扫谱激光器或者单波长激光器，一般设置出射功率为 10dBm

- b) 偏振控制器，机械式或者其他可控制光偏振态设备
- c) 单模光纤，符合 G657 标准的系列光纤制作的 FA，质量符合出厂检验。
- d) 光功率计

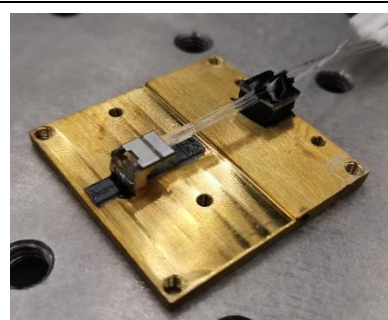
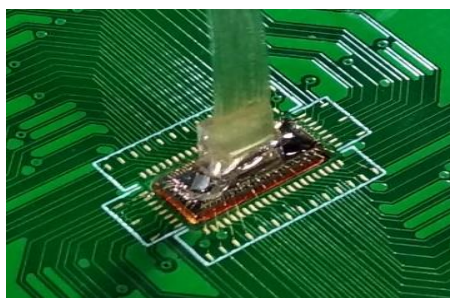
4.2 测试方法

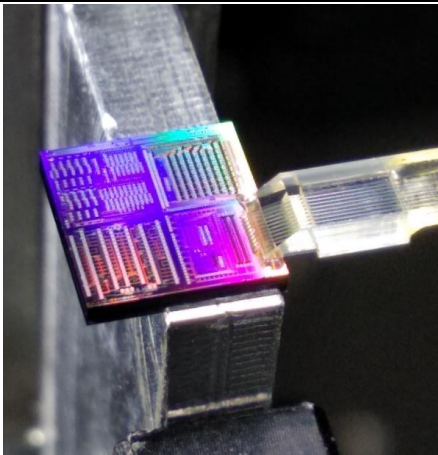
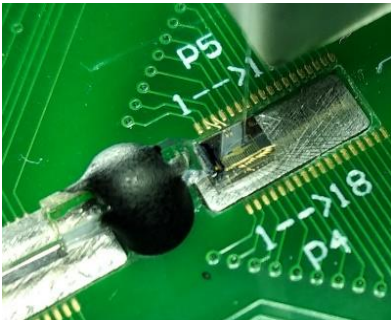
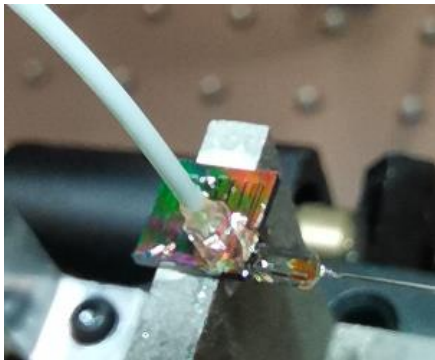
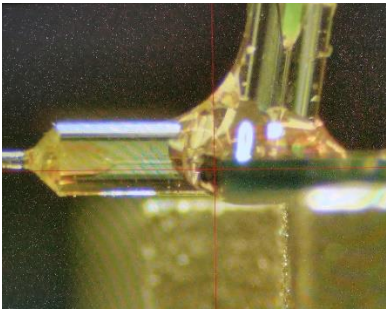
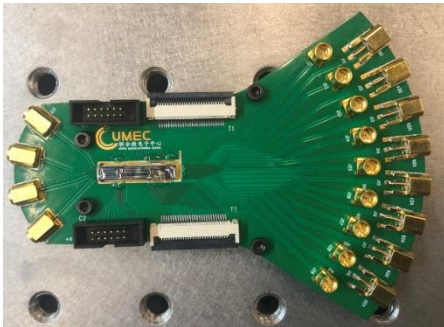
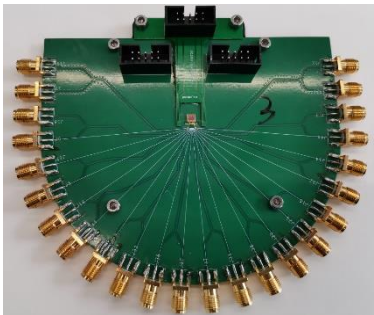
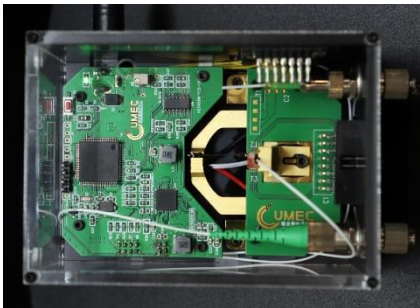
- a) 芯片上具备用于封装的对准波导。使用单模光纤连接光源、偏振控制器、封装模块、功率计，选定特定的波长值分别测量封装前后该对准波导的功率值，分别记为 W1 和 W2，计算该差值并与相应封装形式的封装损耗对比，可验证该项指标是否达标。
- b) 芯片上不具备用于封装的对准波导。经双方讨论确定选择特定的器件作为封装参考，测试方法参考 a。由于该封装参考器件的特性不同，其封装有效性仅供参考。

5. 硅基光电子芯片封装实例

以下为实际封装案例

(A) 光纤/光栅
垂直封装案例



(B) 光纤/光栅 水平封装案例 此种封装形式体积大幅缩小，但是会增大封装损耗。		
(C) 光纤/端面 封装案例		
(D) 硅基光电子 射频封装案例		
(E) 硅基光电子 集成温控封装案例		

6. 版本信息

V5.0 版本，增加了验收测试方法。



联系方式: service@cumec.cn

注：未经允许禁止外发